

(43)Date of publication of application : **10.01.1995**

HO4N 7/24  
G11B 20/10  
HO4N 5/073

(71)Applicant : TOSHIBA CORP

(72)Inventor : TANTORII BITSUSHIYUWANATA

(30)Priority

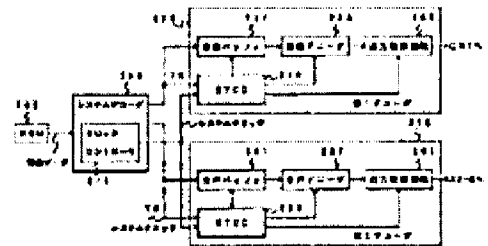
Priority number : 05 38945    Priority date : 26.02.1993    Priority country : JP

## (54) SYNCHRONIZATION CONTROLLER AND ITS METHOD

(57)Abstract:

**PURPOSE:** To take timing synchronization among plural kinds of data read from a recording medium by providing a master and a slave clock circuit function to each decoder respectively and selecting either of the functions and using the selected function.

**CONSTITUTION:** A system decoder 269 separates a received signal into video data and time information to provide an output of the former to a video buffer 277 and the latter to a system time clock counter (STCC) 279. Moreover, the decoder 269 separates voice data and the time information and the former is outputted to a voice buffer 281 and the latter is outputted to the STCC 283. The video and audio data from the buffers 277, 281 are respectively decoded by image and voice decoders 285, 287 and outputted respectively to image and voice decoders 285, 287. The circuit 289 applies output control and timing control of the video data based on the time information from the STCC 279. Similarly, the circuit 291 implements output control and timing control of the voice data based on the time information from the STCC 283.



(19) 日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11) 特許出願公開番号

特開平7-7730

(43) 公開日 平成 7 年 (1995) 1 月10日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/24				
G 1 1 B 20/10	3 2 1 Z	7736-5D		
H 0 4 N 5/073	A			
			H 0 4 N 7/ 13	Z
審査請求 未請求 請求項の数12 O L (全 13 頁)				

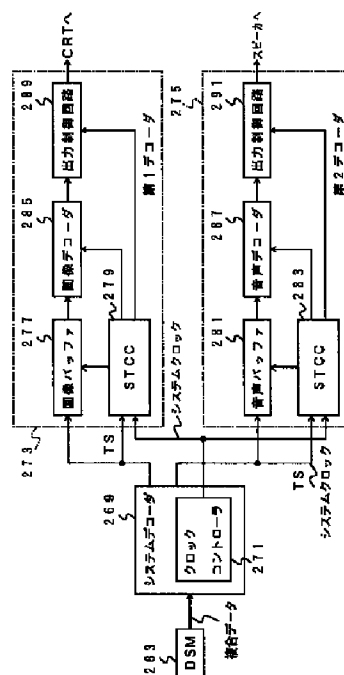
(21) 出願番号	特願平6-28307	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成 6 年 (1994) 2 月25日		神奈川県川崎市幸区堀川町72番地
(31) 優先権主張番号	特願平5-38945	(72) 発明者	タントリー・ビッシュワナタ
(32) 優先日	平 5 (1993) 2 月26日		神奈川県川崎市幸区柳町70番地 株式会社
(33) 優先権主張国	日本 ( J P )		東芝柳町工場内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 同期制御装置および方法

(57) 【要約】

【目的】 記録媒体から読みだした複合データからデコード後の複数種のデータ間でのタイミング同期を確実にとることのできる同期制御装置および方法を提供する。

【構成】 システムデコーダ (ホストCPU)、ビデオデコーダ、および音声デコーダがそれぞれマスタクロック回路としての機能およびスレーブ回路としての機能を持ち、これらの機能を選択的に切り替えて使用できるように構成される。



【特許請求の範囲】

【請求項 1】リアルタイム表示のためのシステムの種々のデコーダの動作を同期させる装置において、前記システムおよび各デコーダは、前記システムから供給されるシステムクロックにもとずいてシステムタイムクロックをカウントするシステムタイムクロックカウンタ手段と；前記システムタイムクロックカウンタ手段から出力されるシステムタイムクロック信号と前記システムから供給されるシステムクロックリファレンスと比較し、その差分データを出力する比較手段と；前記比較手段からの差分データおよび前記システムまたは他のデコーダから供給される差分データを選択的に出力するセレクト手段と；前記セレクト手段から出力される差分データを保持する手段と；前記保持手段に保持された差分データを前記システムクロックタイムカウンタ手段に供給する手段とを備えることを特徴とする同期制御装置。

【請求項 2】前記各デコーダは前記システムに対して割り込み信号を発生する手段を有し、前記システムはこの割り込み信号に応答して割り込み信号を発生したデコーダ内の差分データ保持手段に保持されている差分データをリードし、他のデコーダに供給する手段を有することを特徴とする請求項 1 記載の同期制御装置。

【請求項 3】前記システムはどのデコーダをタイムマスタにするかを設定する手段を有し、タイムマスタに設定されたデコーダ内の保持手段をポーリングし、保持されている差分データをリードし、他のデコーダに供給する手段を有することを特徴とする請求項 1 記載の同期制御装置。

【請求項 4】前記システムはタイムマスタに設定されたデコーダ内のセレクト手段には前記比較手段からの差分データを選択するための選択信号を供給し、それ以外のデコーダに対しては、システムからの差分データを選択するための選択信号を供給する手段を有することを特徴とする請求項 3 記載の同期制御装置。

【請求項 5】リアルタイム表示のためのシステムの種々のデコーダの動作を同期させる装置において、前記システムおよび各デコーダは、前記システムから供給されるシステムクロックにもとずいてシステムタイムクロックをカウントするシステムタイムクロックカウンタ手段と；前記システムタイムクロックカウンタ手段から出力されるシステムタイムクロック信号と前記システムから供給されるシステムクロックリファレンスとを比較し、その差分データを出力する比較手段と；前記比較手段からの差分データおよび前記システムまたは他のデコーダから供給される差分データを選択的に出力するセレクト手段と；前記セレクト手段から出力される差分データを保持する手段と；および前記保持手段に保持された差分データを前記システムクロックタイムカウンタ手段にフィードバックするフェーズ

ロックループ手段とを備えることを特徴とする同期制御装置。

【請求項 6】前記各デコーダは前記システムに対して割り込み信号を発生する手段を有し、前記システムはこの割り込み信号に応答して割り込み信号を発生したデコーダ内の差分データ保持手段に保持されている差分データをリードし、他のデコーダに供給する手段を有することを特徴とする請求項 5 記載の同期制御装置。

【請求項 7】前記システムはどのデコーダをタイムマスタにするかを設定する手段を有し、タイムマスタに設定されたデコーダ内の保持手段をポーリングし、保持されている差分データをリードし、他のデコーダに供給する手段を有することを特徴とする請求項 5 記載の同期制御装置。

【請求項 8】前記システムはタイムマスタに設定されたデコーダ内のセレクト手段には前記比較手段からの差分データを選択するための選択信号を供給し、それ以外のデコーダに対しては、システムからの差分データを選択するための選択信号を供給する手段を有することを特徴とする請求項 7 記載の同期制御装置。

【請求項 9】リアルタイム表示のためのシステムの種々のデコーダの動作を同期させる方法において、前記システムおよび各デコーダの動作は、

- a) 前記システムから供給されるシステムクロックにもとずいてシステムタイムクロック信号をカウントするステップと；
- b) ステップ a) においてカウントされたシステムタイムクロック信号と前記システムから供給されるシステムクロックリファレンス信号とを比較し、その差分データを出力するステップと；
- c) 前記差分データおよび前記システムまたは他のデコーダから供給される差分データを選択的に出力するステップと；
- d) 前記選択された差分データを前記ステップ a) のカウント値に加算するステップとで構成されることを特徴とする同期制御方法。

【請求項 10】前記システムは割り込み信号を発生したデコーダ内の差分データをリードし、他のデコーダに供給するステップをさらに有することを特徴とする請求項 9 記載の同期制御方法。

【請求項 11】前記システムはどのデコーダをタイムマスタにするかを設定するステップと、タイムマスタに設定されたデコーダをポーリングして差分データをリードし、他のデコーダに供給するステップをさらに有することを特徴とする請求項 9 記載の同期制御方法。

【請求項 12】前記ステップ c) の選択ステップはタイムマスタに設定されたデコーダにおいては、前記ステップ b) の比較ステップにおいて得られた差分データを選択し、それ以外のデコーダにおいては、前記システムからの差分データを選択することを特徴とする請求項 9 記

載の同期制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、表示制御システムに関し、特に画像データと音声データの同期をとる同期制御装置および方法に関する。

【0002】

【従来の技術】近時、複数種のデジタルデータ、例えば映像データと音声データとを複合化してCD-ROM等の記録媒体に記録しておき、必要に応じてこれらのデータを読み出して出力させるマルチメディア個人情報機器が企画、開発されている。この種の機器で、記録媒体から読み出した複合データをその種類毎のデータにデコードし、各種データ毎にさらに必要なデコードを行なうデコーダについて、マルチメディア国際標準化団体のMPEG (Moving Picture coding image Experts Group) が種々の規格を設けており、該規格には画像信号及び音声信号の圧縮／伸長方式が含まれている。

【0003】このMPEGによる基本デコーディングシステムを図6に示す。同図でデジタルデータ記録媒体1は例えばCD-ROM等で構成され、複数種のデジタルデータ、例えば画像データと音声データとを複合化して記録する。このデジタルデータ記録媒体1に記録されている複合データが図示しないピックアップにより読み出され、順次システムデコーダ (ホストCPU) 3へ送られる。

【0004】システムデコーダ3は、複合データをデコーディングすることにより時間情報を取り出してクロックコントローラ5へ出力すると共に、音声データを音声デコーダ7へ、画像データを画像デコーダ9へそれぞれ分配出力する。クロックコントローラ5は、システムデコーダ3からの時間情報を基に音声デコーダ7及び画像デコーダ9へシステムクロックを供給する。

【0005】そして、音声デコーダ7及び画像デコーダ9は、それぞれクロックコントローラ5と時間情報の送受を行なうことで同期をとりながら音声データ、画像データのデコーディングを実行し、得られたデータをそれぞれ画像出力装置8および音声出力装置10へ送出する。

【0006】このようなデコードシステムでは、システムデコーダ3がデジタルデータ記録媒体1から読み出したデータの流れからの時間情報に基づき、複数種、例えば音声データと画像データとが多重化されたデジタルデータを音声デコーダ7、画像デコーダ9の入力として供するべく、音声や画像それぞれのデータの流れに分配、デコーディングしている。

【0007】このMPEGの規格によるビットストリームのシンタックスは、シーケンスヘッダと、6つのレイヤー (上から順に、シーケンス、GOP (Group of Pictures)、ピクチャー、スライス、マク

ロブロック (16×16ピクセルのブロック、動き補償ベクトルの算出単位となる)、およびブロック (8×8要素で構成されるDCTの算出単位となる)) から構成される。32ビットのバイト配置されたスタートコードが用意される。これらのビットパターンは、ビデオのビットストリーム中において、スタート以外では発生しない。シーケンスエラーコード (蓄積メディアからの訂正不可能エラーを表す) 以外のスタートコードはシンタックスの中で定義されている。スタートコードの前にはバイト配置を保つために任意の個数の0が付けられる。シーケンスヘッダは画面のフォーマットなどを指定する。途中からの再生を可能にするため、シーケンスヘッダは全てのGOPの先頭に付けることができるが、途中のGOPに付いたシーケンスヘッダは量子化マトリクスだけしか変更できない。シーケンススタートコードの後の内容は、画像の水平サイズ (12ビット)、垂直サイズ (12ビット)、画素アスペクト比 (4ビット)、ピクチャーレート (4ビット)、ビットレート (18ビット)、VBV (video buffering verifier) バッファサイズ (10ビット)、制限パラメータフラッグ (1ビット)、2つの量子化マトリクスのフラッグ (1ビット) と内容 (64×8ビット) などからなる。

【0008】GOPは完全には独立ではない。シーケンスの最初のGOPでは、原画面順で、Iピクチャーから始まることを許すが、一般のGOPの先頭にあるのは、M-1 (MはP-ピクチャーの周期、通常3及至6程度) 枚のB-ピクチャーである。そのいくつかのB-ピクチャーは、以前のGOPの最後のI、P-ピクチャーからの予測を使うことができる。途中からの再生のために、シーケンスヘッダが付いたGOPでは、途中からの再生のときは、最初のM-1枚のB-ピクチャーを捨てる必要がある。GOPレイヤには、クローズGOPフラッグと、ブローケンリンク (Broken Link) フラッグが設けられている。クローズGOPフラッグはそのGOPが以前のGOPの画面を必要としないことを表す。GOPの先頭のM-1枚のB-ピクチャーは後方予測のみを使うことを意味する。これはエンコード時に設定されるフラッグである。クローズGOPでないシーケンスをGOP単位で編集した場合に、結合部分の次のGOPのブローケンリンクフラッグを立てないといけない。デコーダはブローケンリンクフラッグが立っているGOPの先頭のM-1枚のB-ピクチャーは表示せずに捨ててなくてはならない。グループスタートコードのあとに、タイムコード (25 bits)、クローズGOP (1 bit)、ブローケンリンクフラッグ (1 bit) などが続く。

【0009】ピクチャーは機能的に異なる4種のタイプを持つ。D-ピクチャーは高速フィード、高速リパースのときに使うDC成分だけの画像データである。D-ピクチャーはデコーダ必須要件であるが、D-ピクチャーは別シー

ケンスにはいる。I、P、Bピクチャの通常画像とはシーケンスが異なる。ピクチャスタートコードのあとに、テンポラルリファレンス（10 bits）、ピクチャタイプのピクチャコードタイプ（3 bits）、デコーダの入力仮想バッファの値を示す、v b v（16 bits）のあとに、動ベクトルが整数単位であること、動ベクトルのフレーム間隔をP、Bタイプでは必要な個数記述する。その他、シーケンス、GOPヘッダと同様であるがイクステンションやユーザデータが続く。

【0010】スライスは任意の長さの16画素幅の帯であり、ピクチャをまたがることはできない。最初と最後のマクロブロックはノンスキップ（Nonskipped）であり、最低1個のマクロブロックがノンスキップである。スライスの垂直位置を含んだスライススタートコードの後に量子化スケール（quantizerscale）（5 bits）が続き、エクストラインフォメーションが続く。

【0011】マクロブロックはスタートコードをもたない。MBAのあと、マクロブロックタイプがくる。タイプによって、量子化スケールが続く。また動きベクトルが必要な個数付く。Intra以外のCodedタイプでは、マクロブロックパターン（CBP）が付く。

【0012】ブロックレイヤーは、DCT係数がEOBまで続く。CBPのため落とされたブロックはブロックレイヤー自体がない。一般に、図8に示すように画像情報のシーケンスはいくつかのパケットに分けられており、各パケットは複数のピクチャ（1静止画面）とその下層データからなるGOP（Group of Pictures）と称される単位で構成されている。シーケンス情報は、コーディング階層を表わす最上層であり、ヘッダ及びいくつかのGOPからなっている。1つのGOPはそのままランダムアクセス可能な単位となっている。このGOPは、シーケンスの範囲内で独立してデコーディング可能な最小コーディング単位であり、1つのヘッダ及び複数のピクチャからなる。1つのピクチャが動画像や映画の1フレームに対応する。図7はMPEG規格で定義されているGOPを構成する3タイプのピクチャ、すなわち、I、P、Bピクチャの相互関係を示すものであり、各1つのピクチャが動画像あるいは映画の1フレームに対応する。すなわち、

Iピクチャ：このIピクチャは、基本的なデータ圧縮しか施されておらずデータ量が3タイプのピクチャの中で最も多い、ランダムアクセス用のピクチャであり、他のピクチャに関係なくコーディング可能である。すなわち、フレーム内（Intra frame）符号化画面であり、すべてのマクロブロックがIntra符号化される。この目的は、GOPの独立性を容易に保つためである。

【0013】Pピクチャ：このPピクチャは前のIまたはPピクチャの動き補正用にコーディングされる。すな

わち、フレーム間（Predictive）予測符号化画面であり、CCITT H. 261と同じくマクロブロック毎にIntra符号化とInter符号化が選択できる画面タイプである。

【0014】Bピクチャ：このBピクチャは3タイプのピクチャの中で最もデータ量の圧縮率が高いピクチャであり、前後のIまたはPピクチャの動き補正用にコーディングされる。すなわち、双方向（bidirectional）予測符号化画面であり、MPEG特有の画面タイプであり、過去のI、Pピクチャを予測に使うだけでなく、未来のI、Pピクチャも予測に使うことができる画面タイプである。

【0015】上述したI、P及びBピクチャの従属関係を図7中に矢印で示すように、Iピクチャのみが独立して存在し、Pピクチャはその前に位置するIまたはPピクチャに、Bピクチャは前後のIまたはPピクチャにそれぞれ依存することとなる。

【0016】いくつかのアプリケーションでは、画像信号を逆方向に再生する要求がなされている。しかしながら、上記のように前あるいは前後のピクチャに依存して生成されるピクチャがあるため、1つのGOPを構成するピクチャ全部を記憶可能なだけの容量を有するメモリを使用し、一旦順方向でGOP内のピクチャを再生して該メモリに記憶させた後に、メモリ内のピクチャを逆方向に読出していくようなデコーダ構成としなければ、上記のような要求を実現することができない。したがって、順方向に画像を再生する場合に比してデコーディングしたピクチャを記憶しておくための表示用メモリがたくさん必要となるが、現状の回路構成で表示用メモリの容量を考慮するとそのような余裕はなく、結果として上記のような逆再生の実現は事実上困難であった。

【0017】また、GOP内で他のピクチャに依存しない独立したピクチャであるIピクチャのみを使って逆再生を行えば、上記表示用メモリの容量の問題を回避することができるが、その反面、実際に表示に用いられるピクチャの数が大幅に減少してしまうため、動きが粗く滑らかさのない、表示品質の低い動画像しか得ることができず、実用的ではなかった。

【0018】また、MPEGのアルゴリズムでは、周波数を自由に選択してコーディングすること及び他のピクチャに依存しないIピクチャのGOP内の位置等に関して特に規定しておらず、自由に設定可能となっている。そのため、ランダムアクセス機能が重要なアプリケーションでは、特にIピクチャを秒に2回程度配設して使用される。

【0019】このように現在利用し得るMPEGの画像デコーダでは、正転／逆転双方向のスキャン機能について何らサポートしておらず、外部アプリケーションソフトウェアを用いてIピクチャをスキヤニングすることのみが唯一可能であった。

【0020】しかるに、高速の正転／逆転スキャン機能を実現するために、画像デコーダにIピクチャを表示の順序で分配する外部システムを用いることが期待されている。しかし、従来のMPEGシステムでは、アプリケーションソフトウェアによりMPEGピクチャの正転／逆転のスキャン機能を画像デコーダの外部システムがビットストリームをデコーディングして識別し、スキャンのためのIピクチャの位置を見付けなければならない。これは、外部のシステムデコーダ3に多大な負荷を強いることとなる。

【0021】また、一般に使用されるMPEGの画像デコーディング用の半導体チップでは、ビットストリーム中のIピクチャの位置に関する情報を記憶保持することがないので、該情報の記録を上位のシステムデコーダ3が保持しなければならず、やはりシステムデコーダ3の負担が大きかった。

【0022】また、デジタルデコーダはコード化されたビットストリームデータを受取り、デコードして外部メモリに格納し、表示する前にフレームの順番づけを行う。MPEGの場合には、I、P、Bタイプの動画があるので、各動画は、外部メモリの3つのバッファに瞬時に格納されなければならない。この格納された動画に対して、種々の再生機能がデジタルデコーダにより実現される。このような機能としては、例えば、ノーマルプレイ、高速／低速プレイ、静止画、サーチ等がある。しかし、従来MPEG規格あるいは他のデジタルビデオデコーダでは、デコードした動画を反転する機能は有していない。

【0023】JPEGの場合には、種々の動画操作（動画の反転を含む）がデコードされた動画に対して成されるが、ビデオデコーダの他にDSPあるいはグラフィックチップがさらに必要になる。このように、現在市販のデジタルビデオデコーダでは、表示する前に動画を反転する（右←左あるいは上→下等）動画反転機能を有しない。現在市販のデジタルビデオデコーダを使ってこの機能を実現するためには、デコードした動画データを受け取るビデオシステムに、グラフィックチップおよびフレームメモリが必要となる。

【0024】また、記録媒体から読みだした複合データをその種類毎のデータにデコードし、各種データ毎にさらに必要なデコードを行うデコーダにおいては、複合データからデコードした複数種のデータ間でタイミング同期をとる必要がある。この同期をとる一般的な方法としては、記録媒体から固定比率でデータを読みだし、各種データをそれぞれのデコーダブロックに割り当てる。このような場合、記録媒体から各種データを読みだす際の固定比率を全体の動作タイミングと同期にもとずいて決定する。

【0025】

【発明が解決しようとする課題】この場合、音声データ

と映像データが記録媒体からデコードされる場合には、デコーダ出力後のそれら各データ間で同期がとられることはなく、例えば”停止”と”再生開始”とを繰り返し行うことで、結果的に音声と映像との出力タイミングにずれが生じるという不具合が発生することになる。

【0026】すなわち、従来、システムの種々のデコーダに供給されるマルチデータストリーム間の同期は、図9に示すようにシステムデコーダ267が記録媒体263から一定のレートでデータをリードし、分離して各データストリーム（DS1及至DSn）をそれぞれのデコーダに供給している。この場合、データを記録媒体から読みだすレートにより、各デコーダのタイミングと同期が決定される。従って、音声データとビデオデータが共通の記録媒体からデコードされる場合には、デコード後にビデオデータの表示と音声出力との同期がとれていない場合、実際の音声出力タイミングおよびビデオ出力タイミングと相関性が無くなってしまう。

【0027】この発明の目的は、記録媒体から読みだした複合データからデコード後の複数種のデータ間でのタイミング同期を確実にとることのできる同期制御装置および方法を提供することである。

【0028】この実施例では、各デコーダ、例えばビデオデコーダおよび音声デコーダにマスタクロック回路としての機能およびスレーブクロック回路としての機能を持たせ、これらの機能を選択的に切り替えて使用できるように構成されている。この結果、システムデコーダ269はマスタクロック信号を各種デコーダに供給する必要が無いので、負荷が軽減され、他のアプリケーションにサービスすることができる。また、各デコーダが例えばデータバッファを有している場合、データのアンダーフローやオーバーフローを防止することができる。また、各デコーダは、残りの他のデコーダとの同期をとるマスタタイムキーパの役割を果たすことができるので、システム設計に柔軟性をもたせることができる。さらに、多重ストリーム間の同期は、共通データストリームにおけるプレゼンテーションタイムスタンプにより取ることができる。従って、1つのデータストリームの再生を他のデータストリームの再生に合わせるのではなく、すべてのデータストリームの再生をマスタタイムベースに調整することによりN個のストリームの再生の同期をとることができる。

【0029】

【実施例】以下、この実施例について図面を参照して説明する。図1は、この発明の同期制御回路が適用された第1デコーダ273および第2デコーダ275を示すブロック図である。図1においてDSM(digital storage medium)263はビデオデータと音声データの複合データ(ISO11172規格のデジタルデータ)を記憶する記録媒体である。システムデコーダ269は例えばホストシステムのCPUと制御プロ

グラムにより実現され、DSM263から複合データを読みだし、ビデオデータと音声データとに分離し、それぞれ第1デコーダ273と第2デコーダ275に供給する。すなわち、システムデコーダ269はビデオデータと時間に関する情報（system clock reference (SCR), presentation time stamp (PTS), and decoding time stamp (DTS)）とを分離し、ビデオデータをビデオバッファ277に、時間情報をシステムタイムクロックカウンタ（STCC）279に出力する。さらに、システムデコーダ269は音声データと時間情報（SCR, PTS, DTS）を分離し、音声データを音声バッファ281に、時間情報をSTCC283に出力する。ビデオバッファ277から出力されるビデオデータおよび音声バッファ281から出力される音声データはそれぞれビデオデコーダ285およびオーディオデコーダ287によりデコードされ、それぞれ出力制御回路289および291に出力される。出力制御回路289は、STCC279からのPTSにもとずいてビデオデータの出力制御およびタイミング制御を行う。同様にして、出力制御回路291は、STCC283からのPTSにもとずいて、音声データの出力制御およびタイミング制御を行う。

【0030】この実施例では、3つのモードがある。

i) システムデコーダがタイムマスタになる場合、i

i) 第1デコーダがタイムマスタになる場合、i i i) 第2デコーダがタイムマスタになる場合である。システムデコーダがタイムマスタになる場合、第1および第2デコーダはそれぞれスレーブとして動作する。システムデコーダ269はそれぞれSTCC279、283にシステムクロックおよび時間情報（SCR, DTS, PTS）を供給する。各STCC279、283は供給されたSCRを用いてシステムタイムクロックを補正する。

【0031】第1デコーダ273がタイムマスタになる場合、システムデコーダ269および第2デコーダ275がスレーブとして動作する。システムデコーダ269は第1デコーダ273からの割り込み信号に反応して第1デコーダ273内のSTCC279により生成される差分データをリードする。システムデコーダ269は読み取った差分データにもとずいて自己のシステムタイムクロックを補正するとともに、前記差分データをスレーブである第2デコーダ275内のSTCC283に供給する。システムデコーダ269は、第1デコーダ273および第2デコーダ275に設けられるSTCC279、283と同様のハードウェア構成を有するかもしれない、システムデコーダ269によるソフトウェア制御により、第1デコーダ273からリードした差分データにもとずいてシステムタイムクロックを補正する。

【0032】第2デコーダ275がタイムマスタの場合、システムデコーダ269および第1デコーダ273

はスレーブとして動作する。この場合には、システムデコーダ269はSTCC283からの差分データをリードする。システムデコーダ269はリードした差分データにもとずいて自己のシステムタイムクロックを補正するとともに、リードした差分データをスレーブである第1デコーダ273に供給する。

【0033】以下、STCC279、283における差分データの生成について詳細に説明する。図2は図1に示したSTCC279およびその周辺回路を示す詳細ブロック図である。なお、第2デコーダのSTCC283も同様の構成である。

【0034】図2において、システムデコーダ269内のクロックコントローラ271からのシステムクロックが分周回路293へ入力され、ここで適宜分周されてISO11172規格の90KHzのクロック信号が作られ、STCC279に供給される。STCC279は、90KHzのクロック信号に同期して差分レジスタ295に保持される差分データの値だけアップまたはダウンカウントを行う。STCC279からのカウント値は比較回路297に送られる他、同期制御のためのクロック信号としてビデオバッファ277、ビデオデコーダ285、および出力制御回路289に送られる。

【0035】上記比較回路297にはまた、システムデコーダ269からの時間情報TSとしてSCR299、DTS301、及びPTS303が適宜入力される。比較回路297はこれらの時間情報とSTCC279のカウント値とを比較し、その差分データをセレクトア305に出力する。セレクトア305はタイムマスタモードのときは、比較回路297からの差分データを、スレーブモードのときはタイムマスタから供給された差分データを選択して、差分レジスタ295にロードする。なお、このセレクトア305へのセレクト信号はシステムデコーダ269から供給される。

【0036】SCR299、DTS301、PTS303は所定時間（MPEG1の規格では、0.7秒未満）毎に定期的に入力される。従って、STCC279のカウント値も上記所定時間毎に補正される。ビデオバッファ277はSCR299にもとずいて、そのタイミング制御がなされ、ビデオデコーダ285はDTS301にもとずいて、出力制御回路289はPTS303にもとずいてそのタイミング制御が行われる。

【0037】これらのタイミング制御の結果、映像データと音声データとの間に時間的な「ずれ」が生じたとしても、これをリアルタイムで補正し、同期のとれた映像データと音声データを出力させることができる。

【0038】上記STCC279はマスタクロックモードまたはスレーブクロックモードとして動作する。STCC279がマスタクロックモードで動作する場合には、第2デコーダ275内のSTCC283およびホストシステムはスレーブモードで動作する。この場合、第

1デコーダ273は、差分レジスタ295にセットされた差分データをシステムデコーダ269に知らせるために、システムデコーダ269に対して割り込み信号を出力する。この割り込み信号にตอบสนองしてシステムデコーダ269は、差分レジスタ295内の差分データをリードする。このリードした差分データをスレーブである第2デコーダ275内のSTCC283の差分レジスタにロードする。

【0039】すなわち、システムデコーダ269のシステムタイムクロックおよび第2デコーダ275内のSTCC283のシステムタイムクロックは、第1デコーダ273内の差分レジスタ295から出力される差分データにより補正される。どのデコーダのSTCCがタイムマスタになるかはシステムデコーダが決定する。（例えばホストシステム側におけるセットアップメニュープログラムによりユーザが選択する）。

【0040】図3および図4は、マスタモードおよびスレーブモードにおける動作を示すフローチャートである。なお、この例では、第1デコーダ273がマスタモードの場合について説明するが第2デコーダ275がマスタモードの場合においても同様の制御が行われる。

【0041】ステップ311において、システムデコーダ269はSCR299およびデータを抽出する。次に、ステップ313において、各デコーダは自分がマスタモードかスレーブモードかを判断する。自分がマスタモードの場合には、ステップ315において、最初のSCR299かどうか判断する。最初のSCR299でなければステップ321に進む。ステップ315において、最初のSCR299であると判断すると、ステップ317においてSCR299の値をSTCC279にセットする。そしてステップ319においてデコードを開始する。ステップ321において、STCC279の値がPTS303と等しいかどうか、すなわち差分レジスタ295の値が”0”かどうかをコンパレータ297で比較する。差分レジスタ295の値が”0”でない場合には、ステップ323において、STCC279の値とPTS303との差を差分レジスタ295にセットし、差分レジスタ295にセットされた値にもとずいてSTCC279の値を補正する。そしてステップ325においてデータを表示するとともに、ステップ327において差分レジスタ295にセットされた差分データをシステムデコーダ269に出力する。

【0042】一方、ステップ313においてスレーブモードであると判断すると、ステップ329において、最初のSCRかどうか判断し、最初のSCRであれば、ステップ331において、SCR299の値をSTCC279にセットし、差分レジスタ295に”0”をセットする。そしてステップ333においてデコードを開始する。ステップ335において、差分レジスタ295の値が”0”かどうか判断する。”0”でなければ、ステ

ップ337において、差分レジスタ295の値をSTCC279に加え、STCC279の値を補正し、ステップ335に戻る。差分レジスタ295の値が”0”の場合には、ステップ339において、STCC279の値がPTS293と一致するかどうか比較回路297により比較する。一致する場合にはステップ341において、データを表示し、ステップ335に戻る。ステップ339において、一致しない場合には、ステップ343において、PTS293の方がSTCC279の値よりも大きいかなかを判断する。大きい場合には、ステップ345において、PTS293とSTCC279の値が一致するまでウェイトし、ステップ341に進む。他方、PTS293がSTCC279の値よりも小さい場合には、ステップ347において表示をスキップしステップ335に戻る。

【0043】なお、図2に示す実施例では差分レジスタを用いてその差分データをSTCC279に加算するように構成したが、図5に示すようにPLL（phase locked loop）回路351を用いてSTCC279を制御するように構成してもよい。

【0044】また、上記実施例では、ビデオデコーダおよび音声デコーダに含まれる同期制御回路はいずれも図2に示す回路構成としたが、例えばビデオデコーダをマスタデコーダとして、その同期制御回路を図2に示すような回路構成とし、音声デコーダをスレーブデコーダとしてその同期制御回路は、STCCと差分レジスタのみを有する構成として、マスタデコーダからの差分データをスレーブデコーダの差分レジスタに供給するように構成してもよい。

【0045】さらに、図2に示す実施例では、割り込み信号にตอบสนองしてシステムデコーダがタイムマスタの差分レジスタにセットされた差分データをリードし、スレーブの差分レジスタにセットするように構成したが、差分データレジスタをポーリングするように構成してもよいし、タイムマスタとスレーブを接続するデータバスを設け、タイムマスタから直接スレーブに差分データを供給するように構成してもよい。

【0046】

【発明の効果】この発明の同期制御装置および方法によれば、ビデオデコーダおよび音声デコーダにマスタクロック回路としての機能およびスレーブクロック回路としての機能を持たせ、これらの機能を選択的に切り替えて使用できるように構成されている。この結果、システムデコーダ269（ホストシステムのCPU43）はマスタクロック信号を各種デコーダに供給する必要が無いので、負荷が軽減され、他のアプリケーションにサービスすることができる。また、各デコーダが例えばデータバッファを有している場合、データのアンダーフローやオーバーフローを防止することができる。また、各デコーダは、残りの他のデコーダとの同期をとるマスタタイムキ



一パの役割を果たすことができるので、システム設計に柔軟性をもたせることができる。さらに、多重ストリーム間の同期は、共通データストリームにおけるプレゼンテーションタイムスタンプにより取ることができる。従って、1つのデータストリームの再生を他のデータストリームの再生に合わせるのではなく、すべてのデータストリームの再生をマスタタイムベースに調整することによりN個のストリームの再生の同期をとることができる。

#### 【図面の簡単な説明】

【図1】この発明の同期制御装置をMPEG1規格のデコーダシステムに適用した場合の内部構成を示すブロック図。

【図2】図1に示すシステムタイムクロックカウンタ（STCC）およびその周辺部を示す詳細回路図。

【図3】図2に示す同期制御装置がそれぞれマスタモードおよびスレーブモードで動作する場合の制御を示すフローチャートの一部。

【図4】図2に示す同期制御装置がそれぞれマスタモードおよびスレーブモードで動作する場合の制御を示すフローチャートの残りの部分。

【図5】図2に示す同期制御装置の変形例を示す回路図。

【図6】MPEG規格にもとずいた、一般的なデコーデ

ングシステムの構成を示すブロック図；

【図7】MPEG規格にもとずいた、GOP内のピクチャの依存関係を示す図；

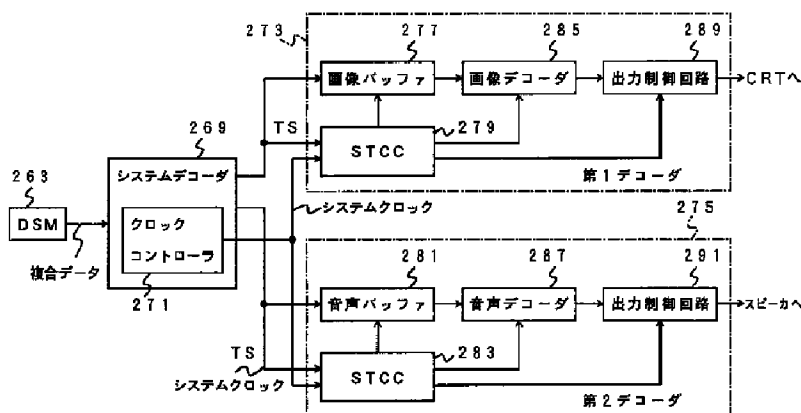
【図8】MPEG規格にもとずいた、データパケット内のピクチャの構成の一例を示す図；

【図9】従来行われている同期制御を示すブロック図；

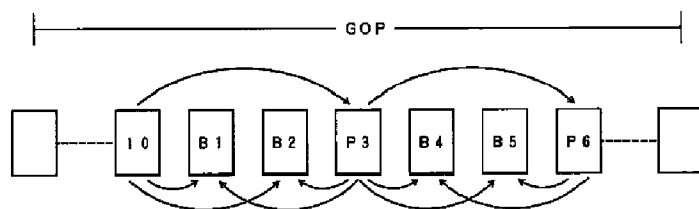
#### 【符号の説明】

1... デジタル記録媒体、3... システムデコーダ、5... クロック制御回路、7... 音声デコーダ、9... ビデオデコーダ、263... デジタルデータ記録媒体、267... システムデコーダ、268-1及至268-n... デコーダ、269... システムデコーダ、271... クロックコントローラ、273... 第1デコーダ、275... 第2デコーダ、277... ビデオバッファ、279、283... システムタイムクロックカウンタ、285... ビデオデコーダ、289... 出力制御回路、281... オーディオバッファ、287... オーディオデコーダ、293... 分周器、295... 差分レジスタ、297... 比較器、299... システムクロックリファレンス（SCR）、301... デコーディングタイムスタンプ（DTS）、303... プレゼンテーションタイムスタンプ（PTS）、305... セクタ、351... PLL

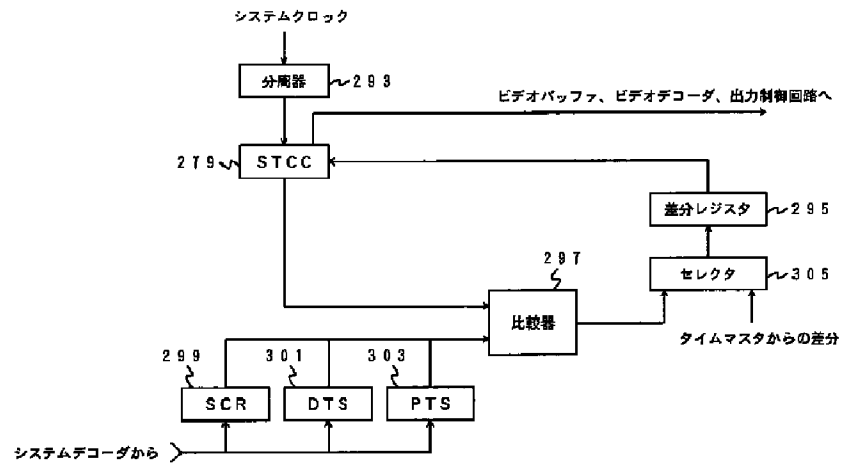
【図1】



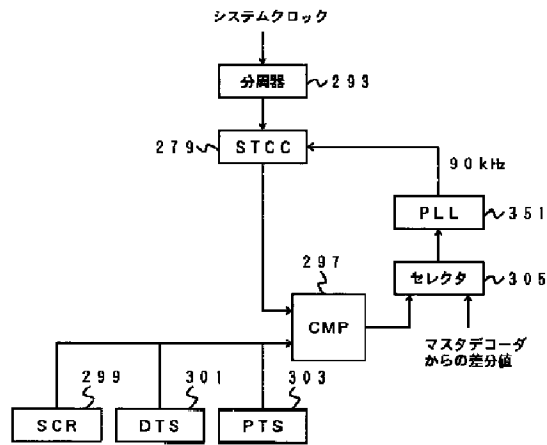
【図7】



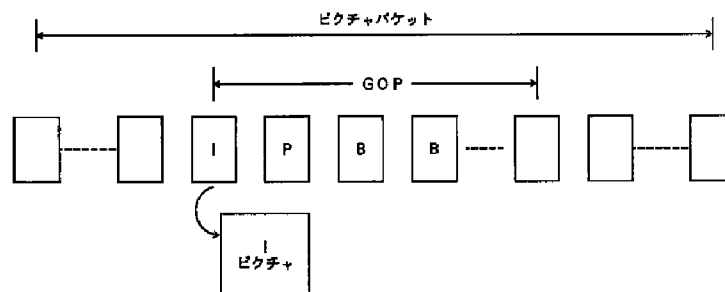
【図2】



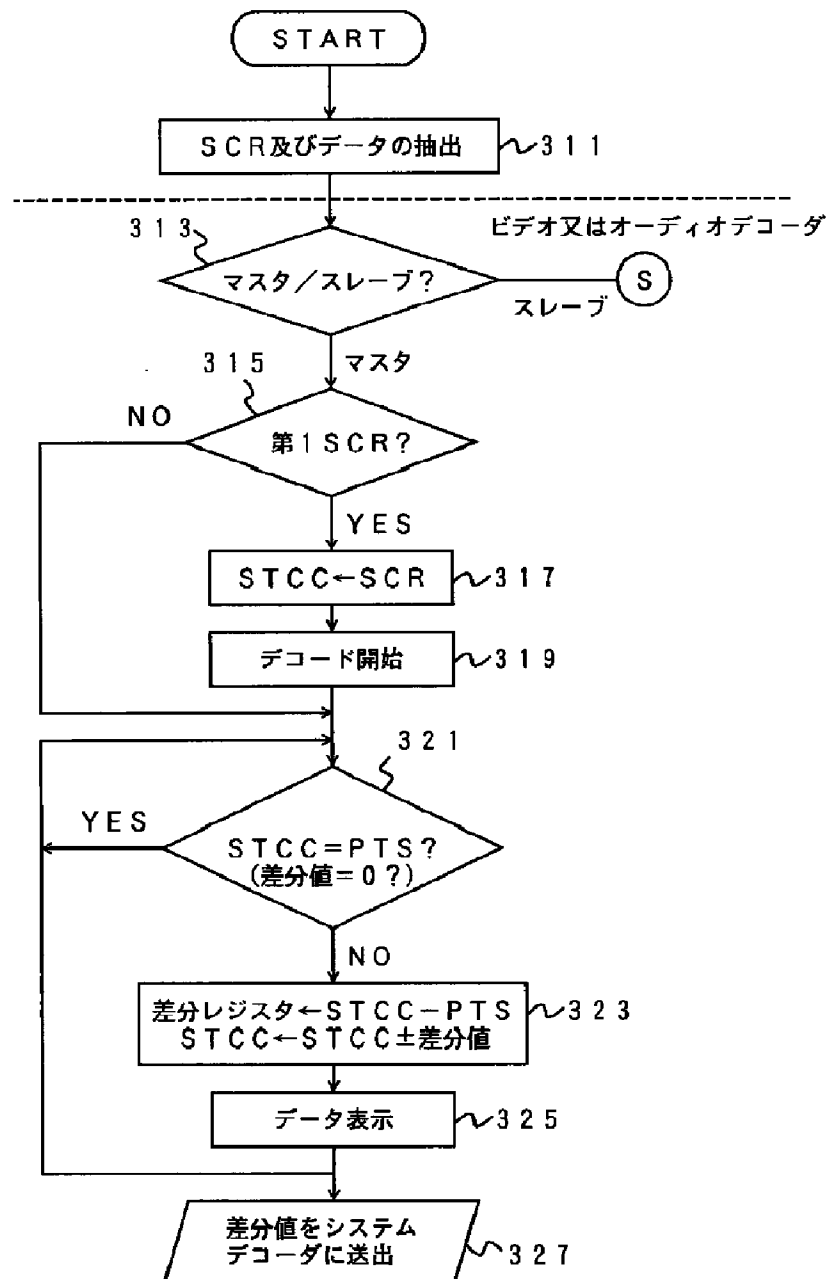
【図5】



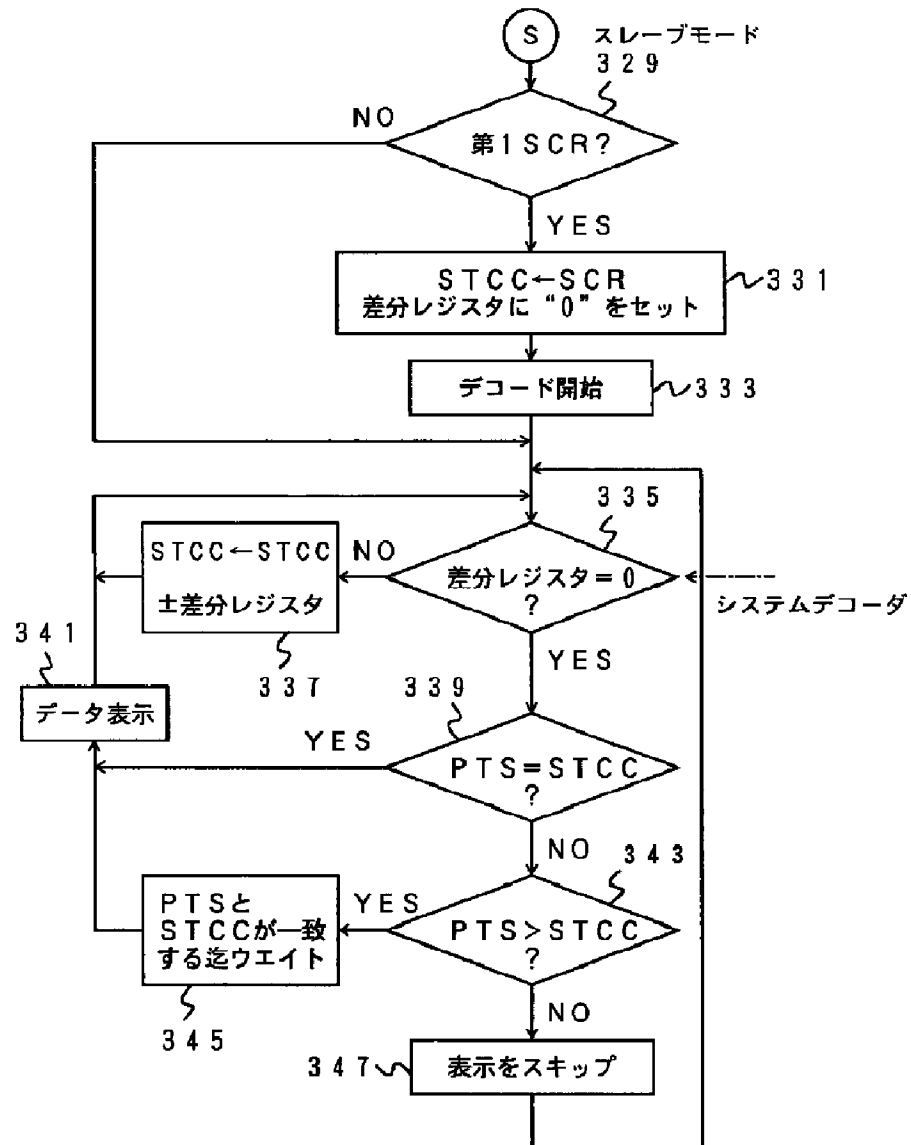
【図8】



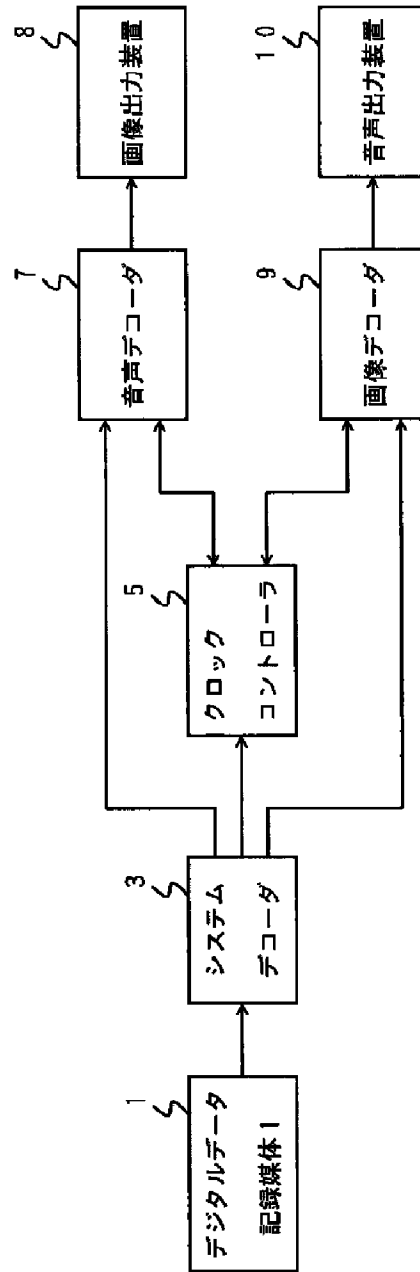
【図3】



【図4】



【図6】



【図9】

